

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Mitsugu Hanabusa

Group Art Unit: 2621

Serial No.: 09/892,076

Examiner: TBA

Filed: June 26, 2001

For: Image Processing Apparatus and Processing Method Therefor

CLAIM TO CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application and under the provisions of 35 U.S.C. §119 and 37 C.F.R. §1.55, applicant(s) claim(s) the benefit of the following prior application(s):

Application(s) filed in: Japan
In the name of: Canon Kabushiki Kaisha
Serial No.: 2000-193376
Filing Date: June 27, 2000

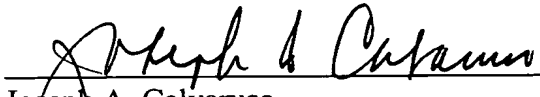
In the name of: Canon Kabushiki Kaisha
Serial No.(s): 2001-188236
Filing Date: June 21, 2001

☒ Pursuant to the Claim to Priority, applicant(s) submit(s) a duly certified copy of said foreign application.

☐ A duly certified copy of said foreign application is in the file of application
Serial No. _____, filed _____.

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.

Dated: October 9, 2001



Joseph A. Calvaruso
Registration No. 28,287

Correspondence Address:

MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053
(212) 758-4800 Telephone
(212) 751-6849 Facsimile

(translation of the front page of the priority document of
Japanese Patent Application No. 2001-188236)



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: June 21, 2001

Application Number : Patent Application 2001-188236

Applicant(s) : Canon Kabushiki Kaisha

July 27, 2001

Commissioner,
Patent Office

Kouzo OIKAWA

Certification Number 2001-3064568

CTM 2271 US



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月21日

出 願 番 号

Application Number:

特願2001-188236

出 願 人

Applicant(s):

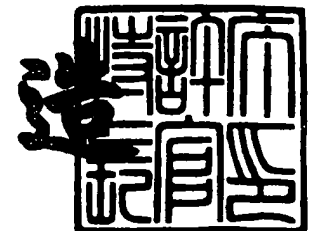
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 4503003

【提出日】 平成13年 6月21日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/192

【発明の名称】 画像処理装置及びその処理方法

【請求項の数】 19

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 英 貢

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100076428

【弁理士】

【氏名又は名称】 大塚 康德

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100112508

【弁理士】

【氏名又は名称】 高柳 司郎

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100115071

【弁理士】

【氏名又は名称】 大塚 康弘

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100116894

【弁理士】

【氏名又は名称】 木村 秀二

【電話番号】 03-5276-3241

【先の出願に基づく優先権主張】

【出願番号】 特願2000-193376

【出願日】 平成12年 6月27日

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及びその処理方法

【特許請求の範囲】

【請求項 1】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを含み、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する撮像手段と、

前記第 2 の素子列からの信号を読み出して前記出力部から連続的に出力する第 1 のモードと、前記第 1 の素子列からの信号を読み出して前記出力部から連続的に出力する第 2 のモードとを有する駆動手段と、
を有することを特徴とする画像処理装置。

【請求項 2】

前記駆動手段は、前記第 1 のモードと第 2 のモードとを交互に繰り返すことを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】

前記駆動手段は、前記第 1 のモードと前記第 2 のモードを交互に繰り返す動作と、前記第 1 のモード又は前記第 2 のモードのいずれかのモードを連続的に行なう動作とを有することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを含み、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する撮像手段と、

前記第 1 の素子列と前記第 2 の素子列のいずれかの素子列の信号を前記出力部から出力するとともに、他方の素子列の信号を前記出力部でリセットする駆動手段と

を有することを特徴とする画像処理装置。

【請求項 5】

前記駆動手段は、前記第 1 の素子列と前記第 2 の素子列からの信号を交互に前記出力部に転送するとともに、前記第 2 の画素列からの信号を前記出力部でリセットし、前記出力部から前記第 1 の画素列からの信号を連続的に順次出力する請求項 4 に記載の画像処理装置。

【請求項 6】

さらに、原稿を照射又は透過させるための光源と、
前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段と
を有することを特徴とする請求項 1 乃至 5 のいずれかに記載の画像処理装置。

【請求項 7】

さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ／デジタルコンバータと

を有することを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】

さらに、前記デジタル化された信号に対してシェーディング補正を行なうシェーディング補正手段を有することを特徴とする請求項 7 に記載の画像処理装置。

【請求項 9】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、

前記第 1 の素子列に対して主走査方向に所定距離ずらして配置された直線上に配列された複数の光電変換素子を有する第 2 の素子列と、

前記第 1 の画素からの信号を転送する第 1 のシフトレジスタと、前記第 2 の画素からの信号を転送する第 2 のシフトレジスタと、少なくとも 3 つの異なる位相のパルスを入力し、前記第 1 及び第 2 のシフトレジスタにパルスを与えることが可能な入力部と

を有することを特徴とする画像処理装置。

【請求項 10】

前記転送手段は、少なくとも 3 つの位相の異なるパルスによって前記信号を転送することを特徴とする請求項 9 に記載の画像処理装置。

【請求項 1 1】

前記入力部に少なくとも3つの異なる位相のパルスを入力し、前記シフトレジスタ内で、隣接する素子からの信号を加算するように制御する駆動手段を更に有することを特徴とする請求項9に記載の画像処理装置。

【請求項 1 2】

前記入力部に2つの異なる位相のパルスを入力し、前記第1の素子列及び前記第2の素子列からの信号を加算せずに出力することを特徴とする請求項9に記載の画像処理装置。

【請求項 1 3】

前記入力部に少なくとも3つの異なる位相のパルスを入力し、前記シフトレジスタ内で、隣接する画素からの信号を加算するように制御し、前記入力部に2つの異なる位相のパルスを入力し、前記第1の画素列及び前記第2の画素列からの信号を加算せずに出力することを特徴とする請求項9に記載の画像処理装置。

【請求項 1 4】

さらに、原稿を照射又は透過させるための光源と、
前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段と
を有することを特徴とする請求項9に記載の画像処理装置。

【請求項 1 5】

さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ／デジタルコンバータと
を有することを特徴とする請求項14に記載の画像処理装置。

【請求項 1 6】

さらに、前記デジタル化された信号に対してシェーディング補正を行なうシェーディング補正手段を有することを特徴とする請求項15に記載の画像処理装置。

【請求項 1 7】

直線状に配列された複数の光電変換素子を有する第1の素子列と、前記第1の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複

数の光電変換素子を有する第 2 の素子列と、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 2 の素子列からの信号を読み出して前記出力部から連続的に出力、又は前記第 1 の素子列からの信号を読み出して前記出力部から連続的に出力するステップを有することを特徴とする画像処理装置の処理方法。

【請求項 1 8】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離はなして配置された直線状に配列された複数の素子を有する第 2 の素子列と、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 1 の素子列と前記第 2 の素子列のいずれかの素子列の信号を前記出力部から出力するとともに、他方の素子列の信号を前記出力部でリセットするステップを有することを特徴とする画像処理装置の処理方法。

【請求項 1 9】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定の幅ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを有する画像処理装置の処理方法であって、

少なくとも 3 つのパルスによって、前記第 1 の素子列及び前記第 2 の素子列からの信号を転送するステップを有することを特徴とする画像処理装置の処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像信号を読み出して出力する画像処理装置及びその処理方法に関する。

【0 0 0 2】

【従来の技術】

従来からラインイメージセンサ（以下、CCDという）で原稿を主走査方向に走査させつつ、CCDあるいは原稿を相対的に副走査方向（CCDの素子列と直交する方向）に走査させることで2次元の画像情報を得る画像読取装置が知られている。このような画像読取装置の一例として、CCDの素子数を増加させ素子列を千鳥状に配置することで、画像読み取り解像度を高める技術も公知である（特開昭57-141178号公報、特公昭59-6666号公報等参照）。

【0003】

千鳥状に配置されたCCDを使用した標準的なスキャナの構成、及び動作を図14～図20に従って説明する。図14A、14Bはフラットベッド型スキャナと呼ばれるもので特に反射原稿を読み取る際の構成例を簡単に示したものであり、図14Aは上面図、図14Bは側面図である。Dは原稿台ガラス100上に置かれた読取原稿で、これを光源101によって照射した反射光をミラー102、103、104によって折り返し、レンズ105によってCCD106に結像する。光源101およびミラー102、103、104、レンズ105、CCD106を固定載置した読み取りユニット107を原稿台ガラス100に平行に同図中左から右に走査（副走査）することにより原稿D全体を読み取り、CCD106から1ページ分の画像信号を得る。CCD106を載置したCCDボード113と画像読取装置に固定されたメインボード112はケーブル111によって接続されている。図14Aに示すように上から下に向かう方向が主走査方向、右から左に向かう方向が副走査方向となる。外部光からの影響を避けるべく、外装カバー109、原稿抑え110によって遮光されている。

【0004】

図15は、画像読取装置の動作制御を行なうための回路ブロック図である。CCD106によって光電変換された電気信号はCDS（相関2重サンプリング回路）などのサンプル／ホールド回路（S／H回路）を含むアナログ処理回路201によってゲイン調整された後、A／Dコンバータ202によってデジタル化される。204は光学系の配光特性の記憶用のシェーディングRAM（ランダムアクセスメモリ）である。205は信号処理回路であり、シェーディング補正係数

を記憶したシェーディングRAM 2 0 4 を制御する回路と、画像データの拡大、縮小を制御する回路、つまり画像データの読み出し、書き込みを行なうためのオフセットRAM 2 4 0 の制御回路で構成される。シェーディング補正はシェーディングRAM 2 0 4 を用いて行われる。シェーディングRAM 2 0 4 には画像読み取りに先立って主走査白色基準板 1 0 8 を読み取って得られるシェーディングデータに基づいて生成された補正データが記憶されている。また、信号処理回路 2 0 5 はオフセットRAM 2 4 0 を用いて、R 色 G 色 B 色のラインオフセットを補正するだけでなく、変倍（縮小・拡大）時には、読み取られた画像データについて間引き処理、補間処理を施す。

【 0 0 0 5 】

2 0 6 は画像信号を 2 値化する 2 値化回路である。2 0 7 はインターフェース回路で、パーソナルコンピュータ等の外部装置 2 5 0 との間でコントロール信号の受容や画像信号の出力を行なうものである。

【 0 0 0 6 】

2 0 8 はマイクロコンピュータ形態のCPU（中央演算処理装置）で、制御プログラムを格納したROM 2 0 8 A と、作業用のRAM 2 0 8 B とを有し、ROM 2 0 8 A に格納した制御プログラムに従って各部の制御を行なうものである。2 0 9 はタイミング信号発生回路で、CPU 2 0 8 の設定に応じて水晶発振器 2 1 0 の出力を分周して動作の基準となる各種タイミング信号を発生するものである。

【 0 0 0 7 】

図 1 6 は、光電変換素子としてのフォトダイオードを 1 色あたり 2 列配置し、かつ千鳥状に 1 / 2 素子（以下、1 / 2 P という）ずらした千鳥素子配列カラー CCD の構成を示す。また、図 1 7 は、RGB のうちの 1 色についての、フォトダイオードとシフトレジスタ及び第 1、第 2 の転送クロック（ $\phi 1$ 、 $\phi 2$ ）の関係を示している。

【 0 0 0 8 】

これらの図に示すように、R 色の感光部は主走査方向に 1 / 2 P ずれ、副走査方向に n ライン分の距離をおいて配置された 2 列のフォトダイオード 5 a、6 a

によって構成されている。それぞれの素子列の画像データはシフトパルス $S H - r$ (7) に応じてシフトゲート 5 b、6 b を通じてシフトレジスタ 5、シフトレジスタ 6 に転送される。シフトレジスタ 5 c、6 c に転送された画像データは第 1 の転送クロック、第 2 の転送クロックによって順次、出力バッファに入力される。この際、フォトダイオード 5 a、6 a の画像データは交互に順次出力バッファに転送され、リセットクロック $R S 5$ ごとに $C C D$ 出力 $O S - r 2$ から出力される。

【 0 0 0 9 】

図 1 6 に示したように G 色、B 色についても同様に $C C D$ 出力 $O S - g 3$ 、 $O S - b 4$ は第 1、第 2 転送クロックによって出力バッファに転送された画像データがリセットパルス $R S 5$ ごとに $C C D$ 出力 $O S - g 3$ 、 $O S - b 4$ から出力される。その結果、 $C C D$ 出力 $O S - r 2$ 、 $O S - g 3$ 、 $O S - b 4$ として N ライン分ずれた画像データが出力されることになる。

【 0 0 1 0 】

図 1 8 に、前記 $C C D 1 0 6$ とアナログ処理回路 2 0 1 の駆動タイミング例を示す。同図は $\phi 1$ (1 0)、 $\phi 2$ (1 1)、 $R S 5$ の $C C D$ 駆動タイミングと、これによる $C C D$ 出力 $O S - r 2$ 、 $O S - g 3$ 、 $O S - b 4$ と、さらにその画像信号を処理するためのアナログ処理回路 2 0 1 内の S / H パルス信号及び A / D コンバータ 2 0 2 への入力タイミングを示している。

【 0 0 1 1 】

また、図 1 9、2 0 では、転送クロック $\phi 1$ (1 0)、 $\phi 2$ (1 1) とリセットパルス $R S$ のタイミングで規定される $C C D$ 内の動作を説明する。転送電極を駆動する $\phi 1$ (1 0)、 $\phi 2$ (1 1) によって、画像データは、フローティングキャパシタに転送され、電圧信号に変換されて信号出力 $O S$ として出力される。図 1 9 のタイミング $T c 1$ 時の奇数素子列シフトレジスタにおけるポテンシャルウェルでは、図 2 0 のように画像データ $S 2 n + 1$ 、 $S 2 n + 3$ 、 \dots が順に転送される。リセットパルスによってリセットゲートが $O N$ から $O F F$ に移行した直後の状態なので、フローティングキャパシタには画像データがない状態である。タイミング $T c 2$ 時の奇数素子列シフトレジスタにおけるポテンシャルウェ

ルでは、フローティングキャパシタに画像データ S_{2n+1} が転送される。タイミング T_{c3} 時はリセットパルスによりリセットゲートが ON し、フローティングキャパシタ内の画像データ S_{2n+1} がリセットされる。このように奇数素子列及び偶数素子列の各シフトレジスタから交互にフローティングキャパシタに画像データが転送され、リセットパルスによって信号出力 OS からのデータを更新する。

【 0 0 1 2 】

一方、基本解像度の $1/2$ 以下の低解像度時には、図 21 のように、図 16 の一方の素子列からのみ読み出す。ここで、RAM への書込速度を基本解像度の場合と同じにするため、 $\phi 1$ 、 $\phi 2$ の最大動作周波数を 2 倍としており、アナログ処理回路 201 にて画像データを主に間引いて読み出す（特開平 8 - 9 1 4 3 号公報参照）。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかし、従来のような低解像度時の読取では、シフトレジスタから出力バッファへ信号が出力された直後に、出力バッファをリセットしているので CCD 出力区間が非常に狭くなるため、画像データのリニアリティを確保することが非常に困難になる。しかし、この画像読取装置の構成及び駆動方法では、低解像度時に蓄積時間が高解像度時の半分になり、蓄積時間を同じにしようとすると、低解像度時の読取り速度を遅くせざるを得なかった。すなわち、高解像度時と低解像度時で蓄積時間を同じにし、かつ低解像度時の高速読み取りを実現することが困難であった。

【 0 0 1 4 】

本発明は、上記従来技術の課題を解決するためになされたもので、その目的は、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる画像処理装置及びその処理方法を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る装置は、

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを含み、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する撮像手段と、

前記第 2 の素子列からの信号を読み出して前記出力部から連続的に出力する第 1 のモードと、前記第 1 の素子列からの信号を読み出して前記出力部から連続的に出力する第 2 のモードとを有する駆動手段と、
を有することを特徴とする。

【0016】

前記駆動手段は、前記第 1 のモードと第 2 のモードとを交互に繰り返すことを特徴とする。

【0017】

前記駆動手段は、前記第 1 のモードと前記第 2 のモードを交互に繰り返す動作と、前記第 1 のモード又は前記第 2 のモードのいずれかのモードを連続的行なう動作とを有することを特徴とする。

【0018】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを含み、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する撮像手段と、

前記第 1 の素子列と前記第 2 の素子列のいずれかの素子列の信号を前記出力部から出力するとともに、他方の素子列の信号を前記出力部でリセットする駆動手段と

を有することを特徴とする。

【0019】

前記駆動手段は、前記第 1 の素子列と前記第 2 の素子列からの信号を交互に前記出力部に転送するとともに、前記第 2 の画素列からの信号を前記出力部でリセットし、前記出力部から前記第 1 の画素列からの信号を連続的に順次出力する請

求項 4 に記載の画像処理装置。

【 0 0 2 0 】

さらに、原稿を照射又は透過させるための光源と、
前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段と
を有することを特徴とする。

【 0 0 2 1 】

さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナ
ログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ
／デジタルコンバータと

を有することを特徴とする。

【 0 0 2 2 】

さらに、前記デジタル化された信号に対してシェーディング補正を行なうシェ
ーディング補正手段を有することを特徴とする。

【 0 0 2 3 】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、

前記第 1 の素子列に対して主走査方向に所定距離ずらして配置された直線上に
配列された複数の光電変換素子を有する第 2 の素子列と、

前記第 1 の画素からの信号を転送する第 1 のシフトレジスタと、前記第 2 の画
素からの信号を転送する第 2 のシフトレジスタと、少なくとも 3 つの異なる位相
のパルスを入力し、前記第 1 及び第 2 のシフトレジスタにパルスを与えることが
可能な入力部と

を有することを特徴とする。

【 0 0 2 4 】

前記転送手段は、少なくとも 3 つの位相の異なるパルスによって前記信号を転
送することを特徴とする。

【 0 0 2 5 】

前記入力部に少なくとも 3 つの異なる位相のパルスを入力し、前記シフトレジ
スタ内で、隣接する素子からの信号を加算するように制御する駆動手段を更に有

することを特徴とする。

【 0 0 2 6 】

前記入力部に 2 つの異なる位相のパルスを入力し、前記第 1 の素子列及び前記第 2 の素子列からの信号を加算せずに出力することを特徴とする。

【 0 0 2 7 】

前記入力部に少なくとも 3 つの異なる位相のパルスを入力し、前記シフトレジスタ内で、隣接する画素からの信号を加算するように制御し、前記入力部に 2 つの異なる位相のパルスを入力し、前記第 1 の画素列及び前記第 2 の画素列からの信号を加算せずに出力することを特徴とする。

【 0 0 2 8 】

さらに、原稿を照射又は透過させるための光源と、
前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段と
を有することを特徴とする。

【 0 0 2 9 】

さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ／デジタルコンバータと
を有することを特徴とする。

さらに、前記デジタル化された信号に対してシェーディング補正を行なうシェーディング補正手段を有することを特徴とする。

【 0 0 3 0 】

上記目的を達成するため、本発明に係る方法は、

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列と、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 2 の素子列からの信号を読み出して前記出力部から連続的に出力、又は

前記第 1 の素子列からの信号を読み出して前記出力部から連続的に出力するステップを有することを特徴とする。

【 0 0 3 1 】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定距離はなして配置された直線状に配列された複数の素子を有する第 2 の素子列と、前記第 1 の素子列からの信号と前記第 2 の素子列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 1 の素子列と前記第 2 の素子列のいずれかの素子列の信号を前記出力部から出力するとともに、他方の素子列の信号を前記出力部でリセットするステップを有することを特徴とする。

【 0 0 3 2 】

直線状に配列された複数の光電変換素子を有する第 1 の素子列と、前記第 1 の素子列に対して主走査方向に所定の幅ずらして配置され、直線状に配列された複数の光電変換素子を有する第 2 の素子列とを有する画像処理装置の処理方法であって、

少なくとも 3 つのパルスによって、前記第 1 の素子列及び前記第 2 の素子列からの信号を転送するステップを有することを特徴とする。

【 0 0 3 3 】

【発明の実施の形態】

以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成要素の相対配置、表示画面等は、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【 0 0 3 4 】

(第 1 の実施形態)

本発明の第 1 実施形態としてのスキャナについて図 1 乃至図 4 を用いて説明する。

【 0 0 3 5 】

本実施形態に係るスキヤナの機械的・電氣的構成については、図 1 4 乃至図 1 7 に示されたものと同様であるため、ここではその説明を省略する。

【 0 0 3 6 】

図 1、2 は、本実施形態に係る転送クロック $\phi 1$ 、 $\phi 2$ 、リセットクロック RS、及び、これらのクロックによってシフトレジスタが駆動された結果としての出力信号 OS-r (OS-g, OS-b も同じ) を示すタイミングチャートである。

【 0 0 3 7 】

まず、図 1 について説明する。図 1 では、図 1 8 と同様に、転送クロック $\phi 1$ と $\phi 2$ が逆位相であり、 $\phi 1$ の立上がり時に、奇数素子の画像データ (図 1 7 の下側のシフトレジスタに格納された画素データ) が出力バッファへ出力され、 $\phi 1$ の立ち下がり時に偶数素子の画像データ (図 1 7 の上側のシフトレジスタに格納された画素データ) が出力バッファへ出力される。

【 0 0 3 8 】

リセットクロック RS は、 $\phi 1 = \text{LOW}$ 、 $\phi 2 = \text{HIGH}$ となった瞬間に HIGH となっている。これにより、偶数素子の画像データは、出力バッファへの出力と同時にリセットされ、CCD からは出力されない。その結果、図 1 の最下段に示されているように、奇数素子の画像データのみが CCD から出力される。

【 0 0 3 9 】

逆に、図 2 では、 $\phi 1 = \text{HIGH}$ 、 $\phi 2 = \text{LOW}$ となった瞬間に、リセットクロック RS が HIGH となっている。これにより、奇数素子の画像データは、シフトレジスタから出力バッファへ出力すると同時にリセットされ、CCD からは出力されない。その結果、図 2 の最下段に示されているように、偶数素子の画像データのみが CCD から出力される。

【 0 0 4 0 】

図 1、2 に示すように、一方のフォトダイオード列で読取った画像データのみを選択的に CCD から出力するように制御すれば、転送クロック $\phi 1$ 、 $\phi 2$ 及びリセットクロック RS の周波数を、従来に比して倍にしたとしても、1 素子ごとの画像データの出力バッファからの出力時間を十分に確保することができる。つまり、図 2 1 のように CCD から全素子の画像データを出力して S/H 回路で間

引く場合に比べ、図 1，2 のようにすれば、画像データがシフトレジスタから出力バッファに出力されてからリセットされるまでの期間が長いため、CCD（出力バッファ）からの出力精度が高くなる。

【0041】

図 1，2 のようなタイミングで各クロックを駆動して、高解像度モードで画像を読み出す場合のタイミングチャートを図 3 に示す。本実施形態では、図 3 に示すように、まず、図 1 のように駆動し、奇数素子列の画像データのみを連続して CCD からメモリへ出力し、次に図 2 のように駆動して偶数素子列の画像データのみを連続してメモリへ出力する。図 4 は、従来の各クロックの駆動によるデータの読み出しを示すタイミングチャートである。図 4 の T は、千鳥状に配置された全素子の画像データを CCD からメモリへ出力するために必要な時間である。図 3 では、各クロックを従来の 2 倍の周波数にすることによって、奇数素子の画像データを $T/2$ で CCD から出力し、偶数素子の画像データを次の $T/2$ で出力する。よって、高解像度では、従来と変らない時間で、2 列の全光電変換素子のデータを出力することができる。デジタル回路上の DRAM アクセス時間に制約があり、従来と同じ CCD 出力タイミングが要求される場合であっても、 $1/2$ の蓄積時間で読み取ることが可能となる。

【0042】

一方、本実施形態において、低解像度モードで画像を読み出す場合のタイミングチャートを図 5 に示す。本実施形態では、低解像度モードでは、常に図 1 のように各クロックを駆動し、奇数素子の画像データのみ CCD から出力する。もちろん本発明はこれに限定されるものではなく、偶数素子の画像データのみ CCD から出力するように、常に図 2 のように駆動しても良い。また、低解像度モードでは、高解像度モードの 2 倍の速度で副走査方向に CCD が移動するため、高速読み取りが可能となる。

【0043】

更に、各クロックの周波数は、高解像度モードと低解像度モードで共通であるから、蓄積時間も同じになる。

【0044】

また、 $a \times a$ のフォトダイオード列間の距離 n を $a/2$ の奇数倍し、本実施の形態のように CCD を駆動すれば、図 6 のような読取り領域とすることもできる。

【0045】

本実施の形態の千鳥配列の CCD を使用した画像読取装置の構成及び駆動方法では、千鳥配列においても奇数素子列あるいは偶数素子列のみを読み出すことが出来、かつシフトレジスタ部での素子加算を可能としたことにより、CCD の基本解像度（高解像度）時に従来の $1/2$ の蓄積時間で読み取る。そして、基本解像度の $1/2$ 解像度読み取り時には基本解像度時と同じ蓄積時間で読み出すことが可能となるため、基本解像度時の $1/2$ の読み取り時間で同一原稿を読み取ることが可能となる。

【0046】

従って、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることが可能となる。

【0047】

（第 2 の実施形態）

次に、本発明の第 2 実施形態としてのスキャナについて図 7 乃至図 13 を用いて説明する。本実施形態に係るスキャナの機械的構成については、図 14 乃至図 15 に示されたものと同様であるため、ここではその説明を省略する。

【0048】

図 7 は、本発明に係る画像処理装置の第 2 の実施形態としてのスキャナ内の CCD の構成を示す図である。

【0049】

図 7 は、図 16 と同様に、フォトダイオードを 1 色あたり 2 列配置し、かつ千鳥状に $1/2$ 素子ずつずらした千鳥配列カラー CCD の構成を示す図である。このスキャナは、第 1 の転送クロック $\phi 1$ （10）、第 2 の転送クロック $\phi 2$ （11）及び第 3 の転送クロック $\phi 3$ （12）を有している。また、図 8 は、RGB のうちの 1 色におけるフォトダイオードとシフトレジスタ及び第 1 の転送クロック $\phi 1$ 、第 2 の転送クロック $\phi 2$ 及び第 3 の転送クロック $\phi 3$ の関係を示した図

である。シフトレジスタ数はフォトダイオード数の2倍以上である。

【0050】

図7において、R色の感光部にはフォトダイオード列5a、6aが距離nだけ離れて配置されている。それぞれの素子列の画像データはシフトパルスSH-r(7)によってシフトゲート5b、6bを通じてシフトレジスタ5c、6cに転送される。シフトレジスタ5c、6cに転送された画像データは第1の転送クロック $\phi 1$ 、第2の転送クロック $\phi 2$ 、第3の転送クロック $\phi 3$ によって順次転送される。そして、出力バッファに対し、フォトダイオード列5aの画像データと、フォトダイオード列6aの画像データが交互に順次入力される。G色、B色の感光部も全く同じ構成及び動作であるが、それぞれの感光部は図7のようにNラインだけ離れているので、CCD出力OS-r(2)，OS-g(3)，OS-b(4)としてはNライン分ずれた画像データが出力される。

【0051】

図7、図8に示したCCDを用いたスキャナにおいて、基本解像度の1/4以下で画像情報を読み取る方法について図9、図10を用いて、説明する。

【0052】

図9は、本実施の形態に係る転送クロック $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 及びリセットパルスRSのタイミングを説明するための図である。本実施の形態では、図のように、 $\phi 1$ とRSの周波数を $\phi 2$ 、 $\phi 3$ の2倍にし、 $\phi 2$ と $\phi 3$ を逆位相にし、かつ奇数素子列の画像データを読み捨てるべくリセットパルスRSによってリセットしている。

【0053】

図10は、図9の各タイミングでのポテンシャルウェル及び、データの転送の様子を示す図である。偶数素子列用のシフトレジスタにおいて、図9のタイミングTb1時におけるポテンシャルウェルは、図10の最上段に示すように、まだシフトレジスタ部での素子加算が行なわれる以前の状態の画像データS2n，S2n+2，・・・が確保されている。リセットパルスによってリセットゲートがONされた直後の状態なので、フローティングキャパシタには画像データがない。

【0054】

タイミングTb2時には、転送クロック $\phi 1$ がHIGHになることにより、画像データ S_{2n+2} 、 S_{2n+6} 、 S_{2n+10} が隣のキャパシタへ転送され、 S_{2n} 、 S_{2n+4} 、 S_{2n+8} は転送されない。タイミングTb3時では、リセットパルスによりリセットゲートがONし、フローティングキャパシタ内の画像データがリセットされる。同時に、タイミングTb2で転送された画像データ S_{2n+2} 、 S_{2n+6} 、 S_{2n+10} のみが更に転送され、それぞれ S_{2n} 、 S_{2n+4} 、 S_{2n+8} の画像データに加算される。

【0055】

タイミングTb4時、Tb5時では、それぞれ加算された画像データがシフトレジスタ上でシフトされる。これらのタイミングでは、図に示すように $S_n + S_{n+2}$ がフローティングキャパシタへシフトすることによって、電源ODと信号出力OSとが導通し、信号OSが出力される。

【0056】

タイミングTb6時では、リセットパルスによりリセットゲートがONし、フローティングキャパシタ内の画像データがリセットされ、かつそれぞれ加算された画像データがシフトレジスタ上でシフトされる。タイミングTb7時、Tb8時では、それぞれ加算された画像データがシフトレジスタ上でシフトされ、タイミングTb2時と同一の状態となり、以降Tb3→Tb4→…と進むことによって、順次、加算された画像データが出力OSとして、順次CCDから出力される。図10のタイミングで駆動した場合、図11に示すようにデータをCCDから出力することができる。

【0057】

1/4解像度読取りの好適な実施形態を図12に示す。図12は、図9で示したクロックの駆動を更に効率的にしたものである。つまり、図9でのTb1、Tb4、Tb7、Tb8を省略し、Tb2→Tb3→Tb5→Tb6→Tb2→…というサイクルでポテンシャル状態が変化するように各クロックを駆動している。このように各クロックを駆動すれば、効率よくデータをシフトし、出力バッファからの出力期間を長くとることができるため、出力精度を良くすることができる。

る。

【 0 0 5 8 】

このように、本実施の形態に係るオペレーションによれば、CCD出力OS-r, OS-g, OS-bとして、偶数素子列中の隣接素子が加算された信号のみを順次出力できる。隣合う画素データを加算すれば、図13に示すように高解像度モードの1/4のサイズのデータが1ライン毎にRAMに出力されるため、RAMに対する転送速度はそのまま、転送クロック及びリセットクロックの周波数を4倍にすることができ、各ラインの蓄積時間を1/4にすることができる。従って、1/4解像度の4倍速での画像読取りを実現することができる。即ち、例えばデジタル回路上のDRAMアクセス時間に制約があり、図3乃至5と同じCCD出力タイミングが要求される場合であっても、1ラインを高解像度モードの1/4の時間で読み取ることが可能となる。

【 0 0 5 9 】

千鳥状に1/2Pずつずらした千鳥配列カラーCCDにおいて、フォトダイオード素子数より2倍以上のシフトレジスタ数を設け、かつ転送クロック $\phi 1$ 、 $\phi 2$ 以外に $\phi 3$ なる転送クロックを設け、各転送クロックにてシフトレジスタ部のポテンシャルレベルを制御可能とする駆動制御手段と、低解像度時には奇数素子列あるいは偶数素子列のみ読み出すためのリセットパルスRSによるリセット手段と、かつシフトレジスタ部で隣接素子加算可能なCCD転送を行なう転送手段とを有する。

【 0 0 6 0 】

この際、奇数素子列あるいは偶数素子列のみ読み出すようにリセットパルスRSにて画像データをリセットしながら読みだす。また、低解像度時にシフトレジスタ部で素子加算して読み出しS/Nを劣化させることなく1ラインの読取り時間を短くする。

【 0 0 6 1 】

このように、基本解像度の1/4解像度読取り時には、基本解像度時の1/2の蓄積時間でS/Nを悪化させることなく、前記基本解像度時の1/4の時間で同一原稿を読み取ることが可能となる。

【 0 0 6 2 】

なお、図 7、図 8 の構成でも、 $\phi 2$ と $\phi 3$ に同じ信号を入力すれば、第 1 実施形態を実現することができる。

【 0 0 6 3 】

つまり、第 1 実施形態において、図 3、図 5 に示した、高解像度モード、低解像度モードの動作を、第 2 実施形態の構成を用いても実現することができる。

【 0 0 6 4 】

【発明の効果】

本発明によれば、第 1 の素子列及び第 2 の素子列が所定の幅ずれて配置されており、第 1 の素子列又は第 2 の素子列のみを読み出すことができるので、奇数素子列又は偶数素子列のみを読み出すことができる。これにより、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる。

【図面の簡単な説明】

【図 1】

図 1 は、第 1 の実施形態において奇数素子列のみ読み出すための CCD 駆動タイミングチャートである。

【図 2】

図 2 は、第 1 の実施形態において偶数素子列のみ読み出すための CCD 駆動タイミングチャートである。

【図 3】

図 3 は、第 1 の実施形態を説明するための基本解像度時における CCD 駆動タイミングチャートである。

【図 4】

図 4 は、第 1 の実施形態と比較するための従来の基本解像度時における CCD 駆動タイミングチャートである。

【図 5】

図 5 は、第 1 の実施形態を説明するための低解像度時における CCD 駆動タイミングチャートである。

【図 6】

図 6 は、第 1 の実施形態を説明するための基本解像度時における読み取り画像領域を示す図である。

【図 7】

図 7 は、本発明の第 2 の実施形態を説明するための CCD 内部の構造図である。

【図 8】

図 8 は、図 7 の CCD 内部のフォトダイオード部とシフトレジスタ部の配線図である。

【図 9】

図 9 は、図 7 の構成を用いた CCD 駆動を説明するためのタイミングチャートである。

【図 1 0】

図 1 0 は、図 9 の CCD 駆動タイミングにおける CCD 内部の動作説明図である。

【図 1 1】

図 1 1 は、図 7 の構成を用いた CCD 駆動を説明するためのタイミングチャートである。

【図 1 2】

図 1 2 は、図 7 の構成を用いた他の CCD 駆動を説明するためのタイミングチャートである。

【図 1 3】

図 1 3 は、図 7 の構成を用いた他の CCD 駆動を説明するためのタイミングチャートである。

【図 1 4 A】

図 1 4 A は、画像読取装置の概略平面図である。

【図 1 4 B】

図 1 4 B は、画像読取装置の概略側断面図である。

【図 1 5】

図 1 5 は、画像読取装置を制御するための回路ブロック図である。

【図 1 6】

図 1 6 は、従来例を説明するための C C D 内部の構造図である。

【図 1 7】

図 1 7 は、図 1 6 の C C D 内部のフォトダイオード部とシフトレジスタ部の配線図である。

【図 1 8】

図 1 8 は、従来の C C D 素子列の一例を説明するための図である。

【図 1 9】

図 1 9 は、従来の C C D 駆動タイミング図である。

【図 2 0】

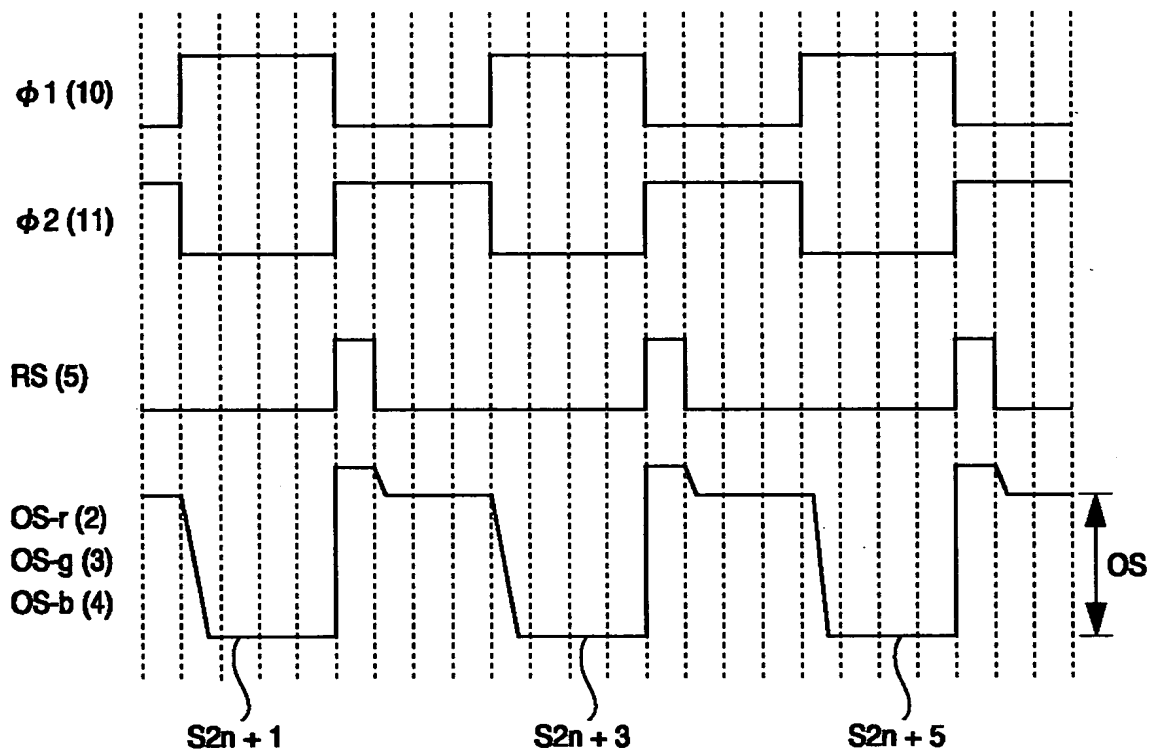
図 2 0 は、従来の C C D 駆動タイミングにおける C C D 内部の動作説明図である。

【図 2 1】

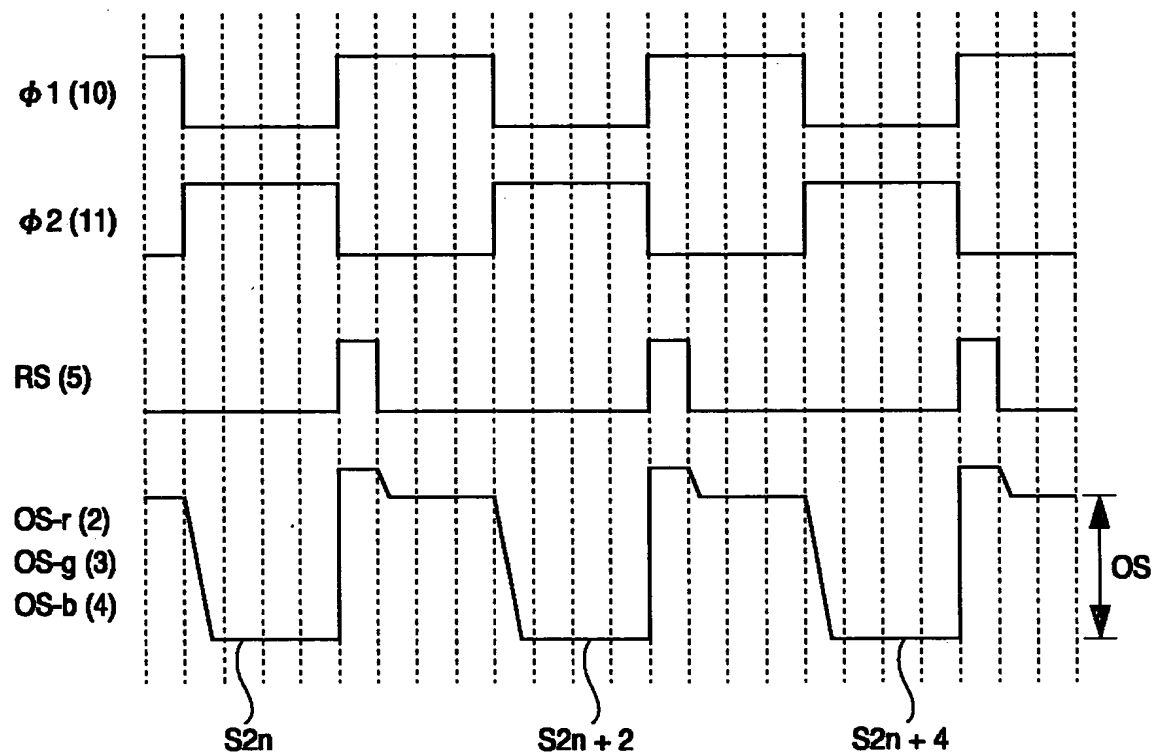
図 2 1 は、従来の基本解像度の $1/2$ 時における C C D 駆動タイミング図である。

【書類名】 図面

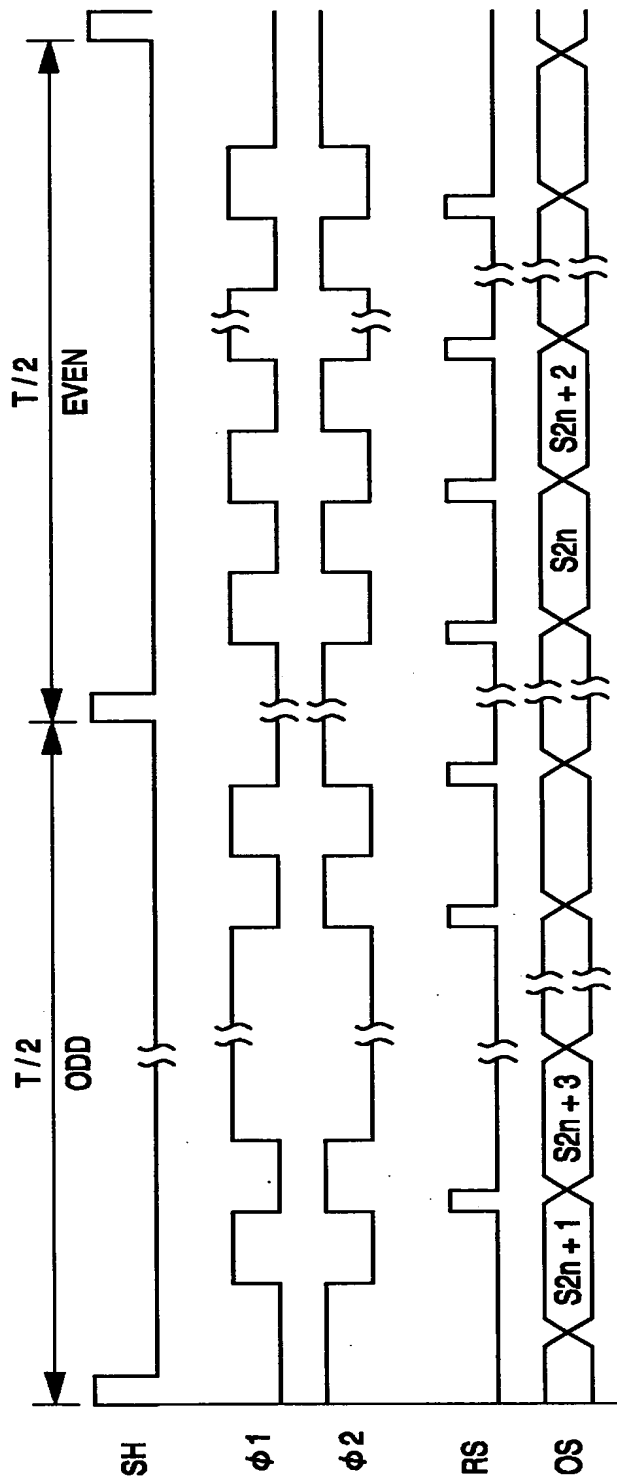
【図 1】



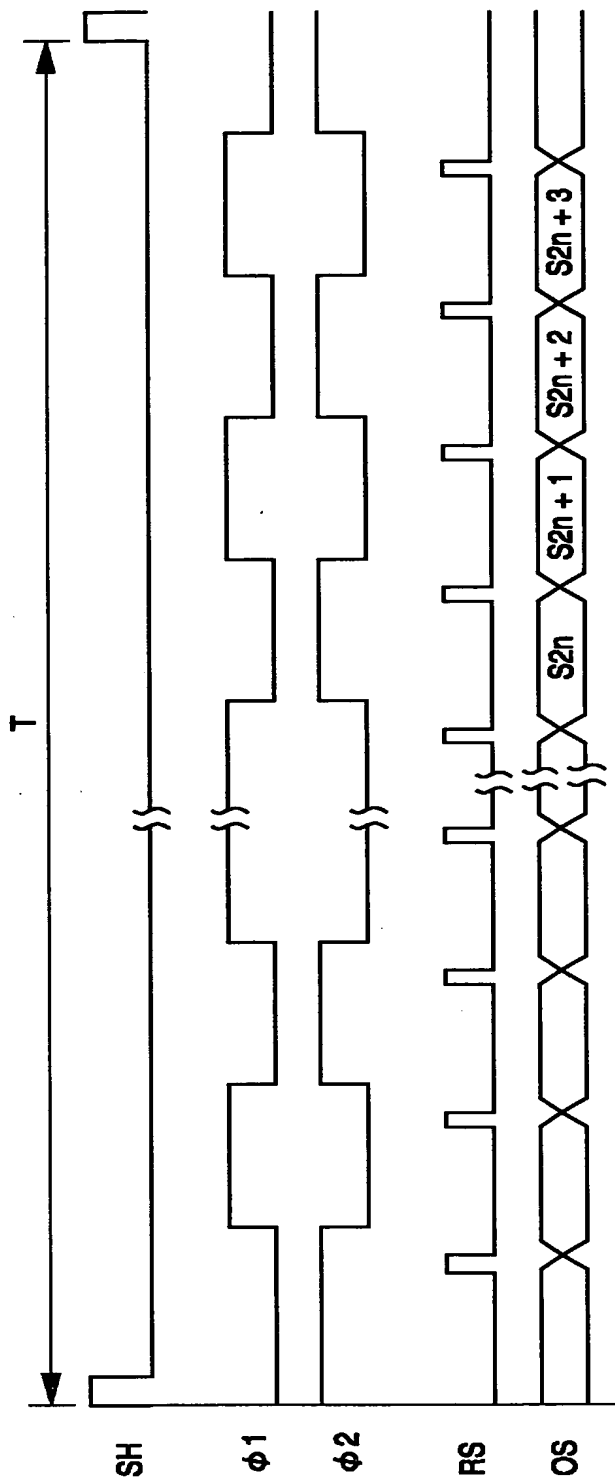
【図 2】



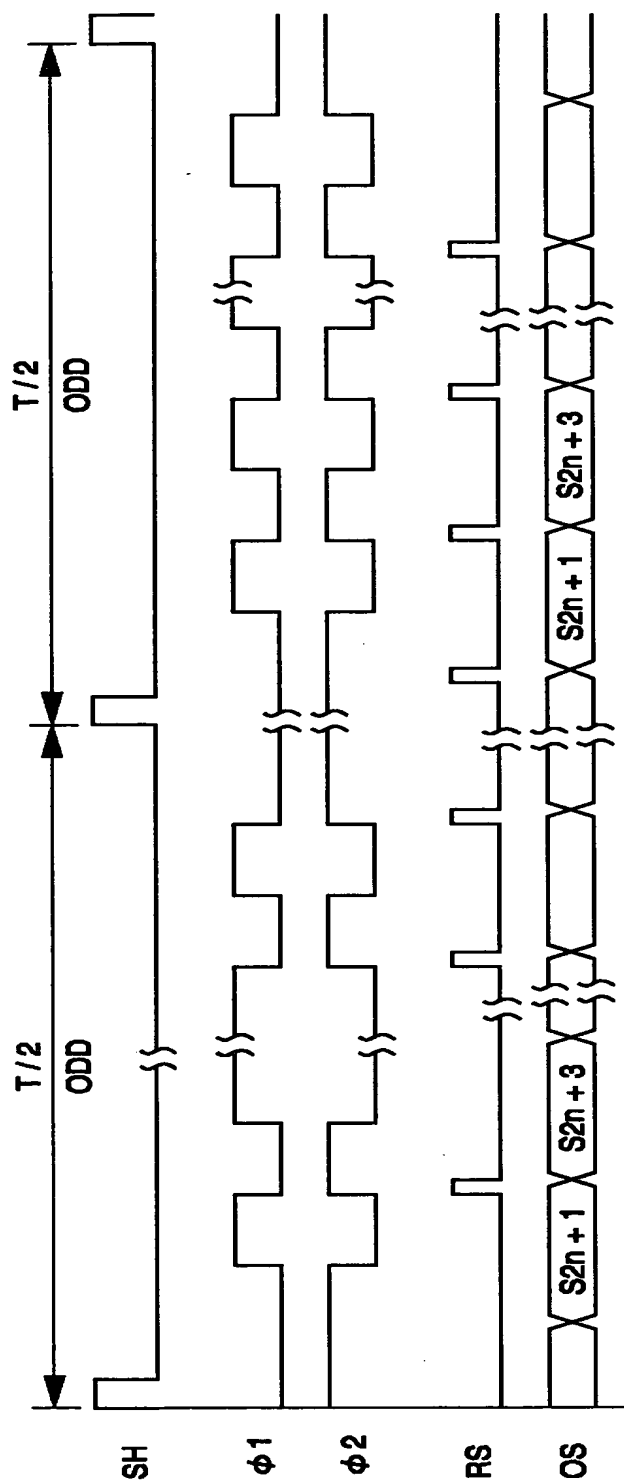
【図3】



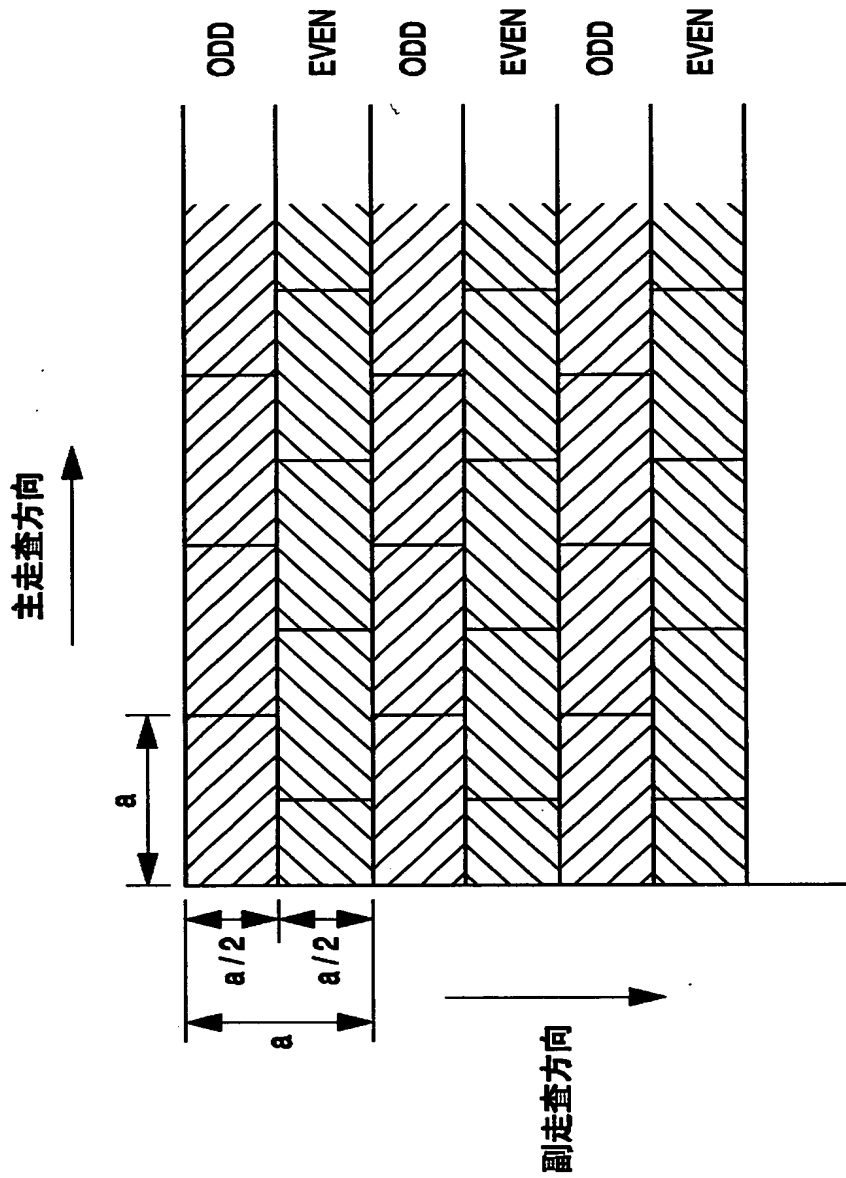
【図4】



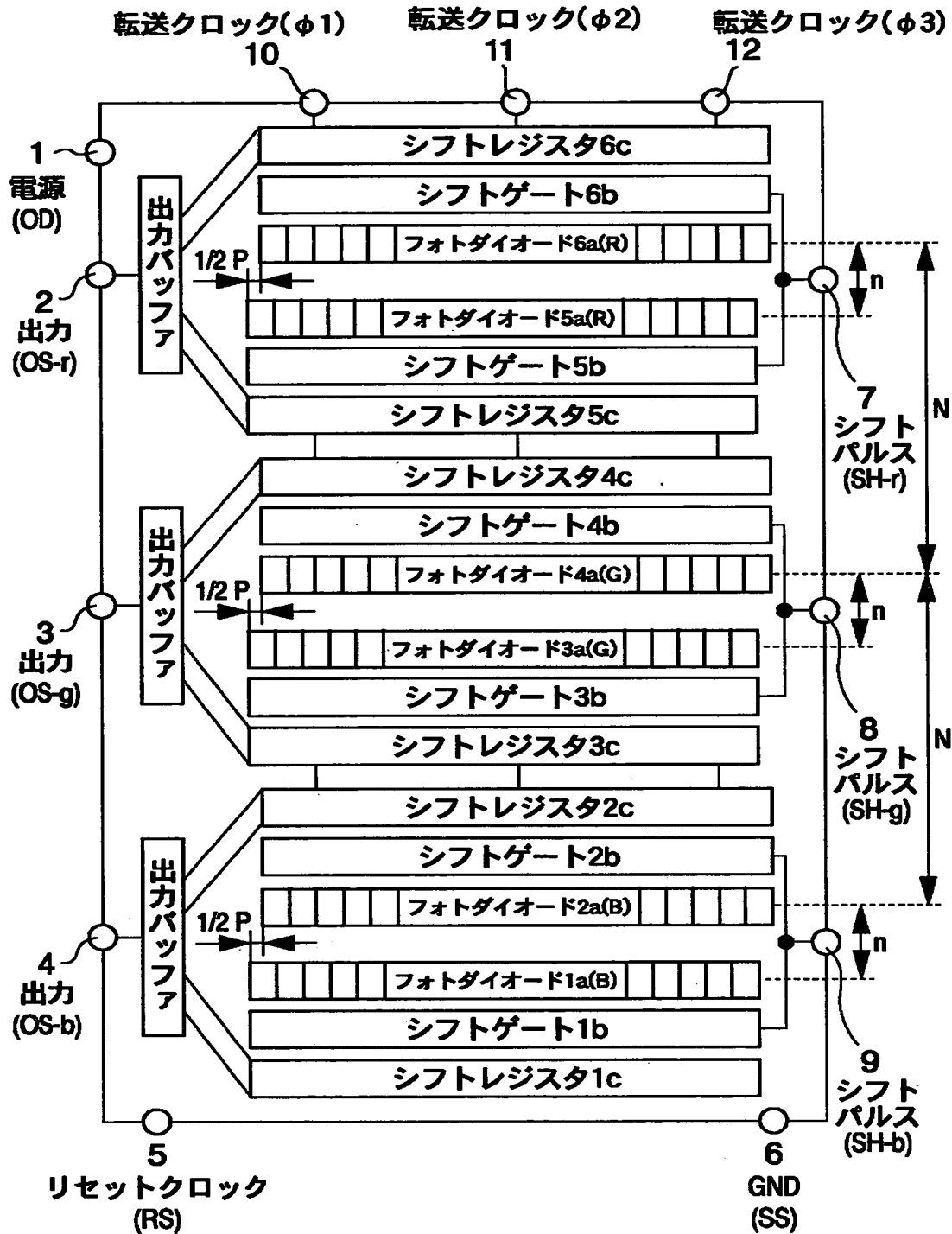
【図5】



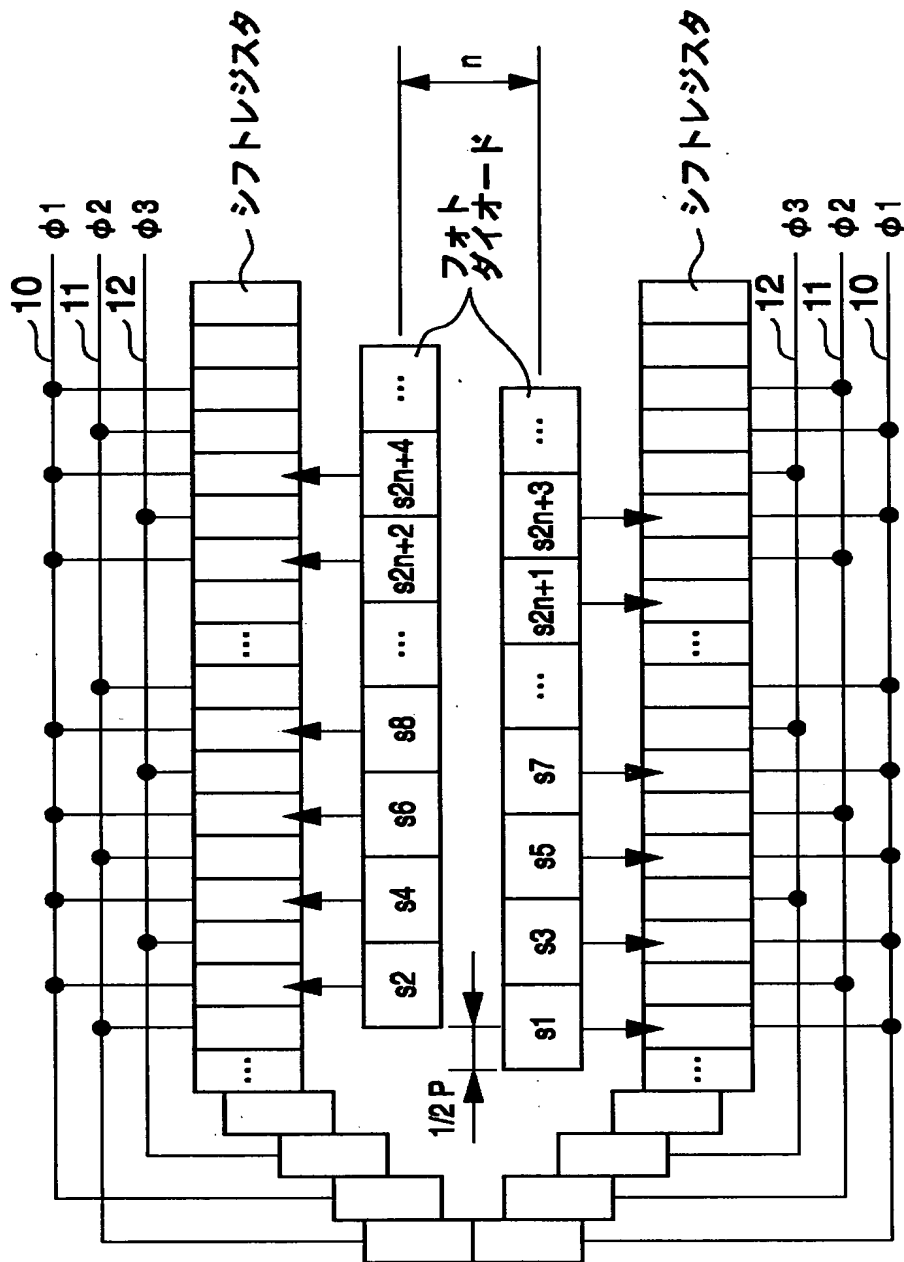
【図 6】



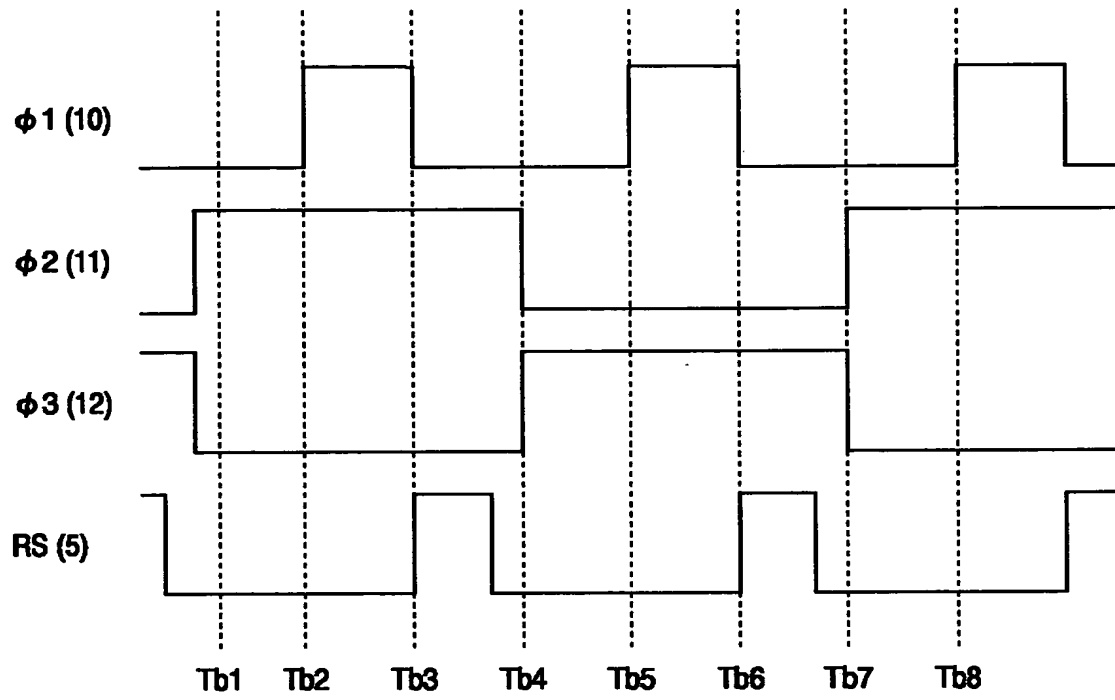
【図 7】



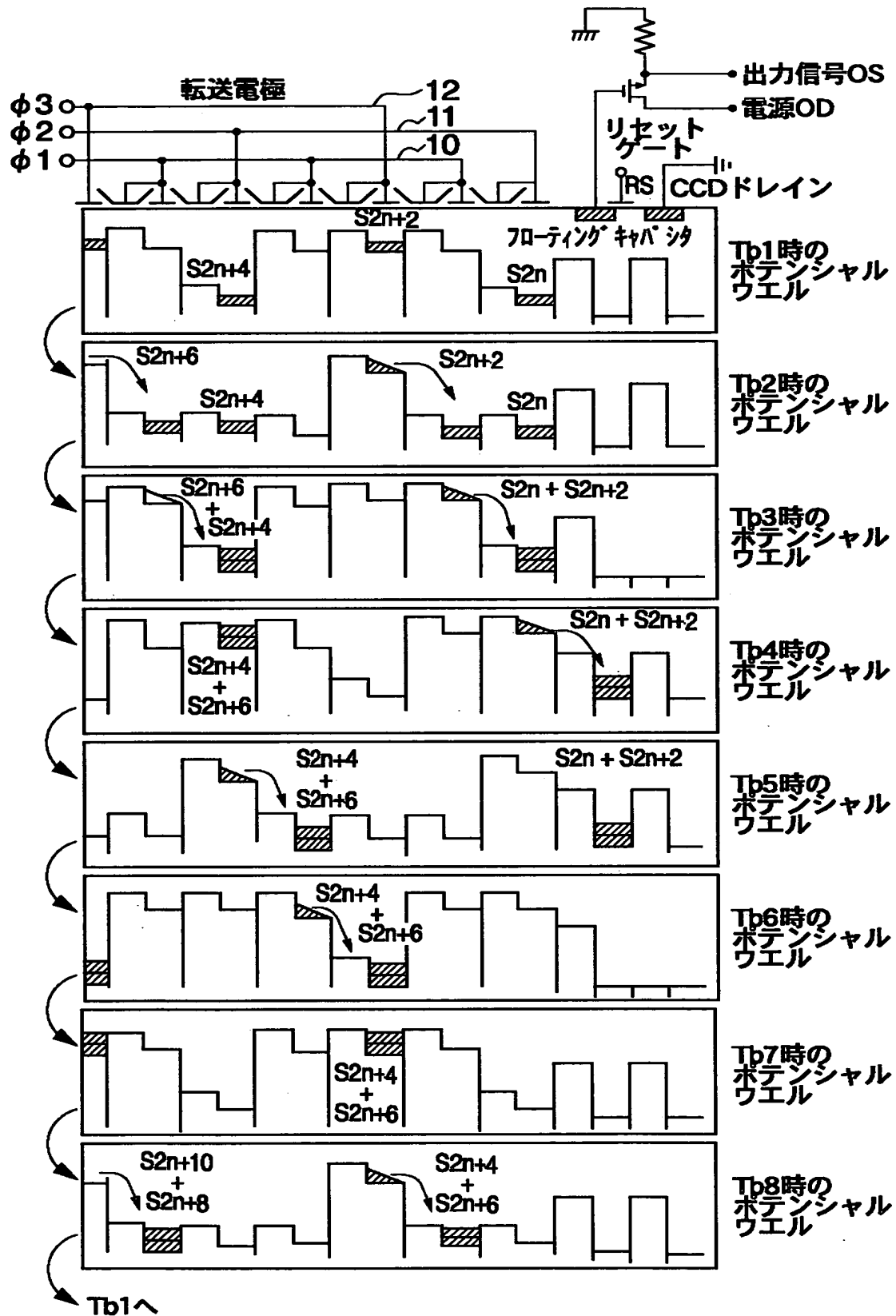
【図 8】



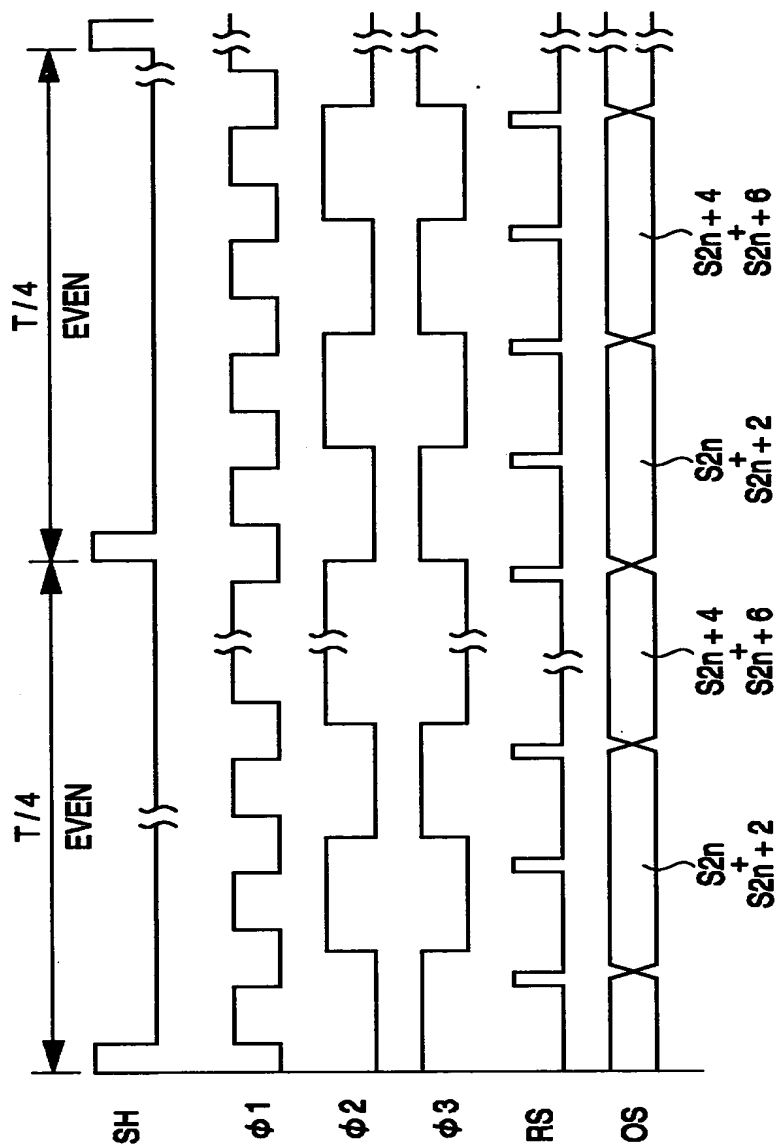
【図 9】



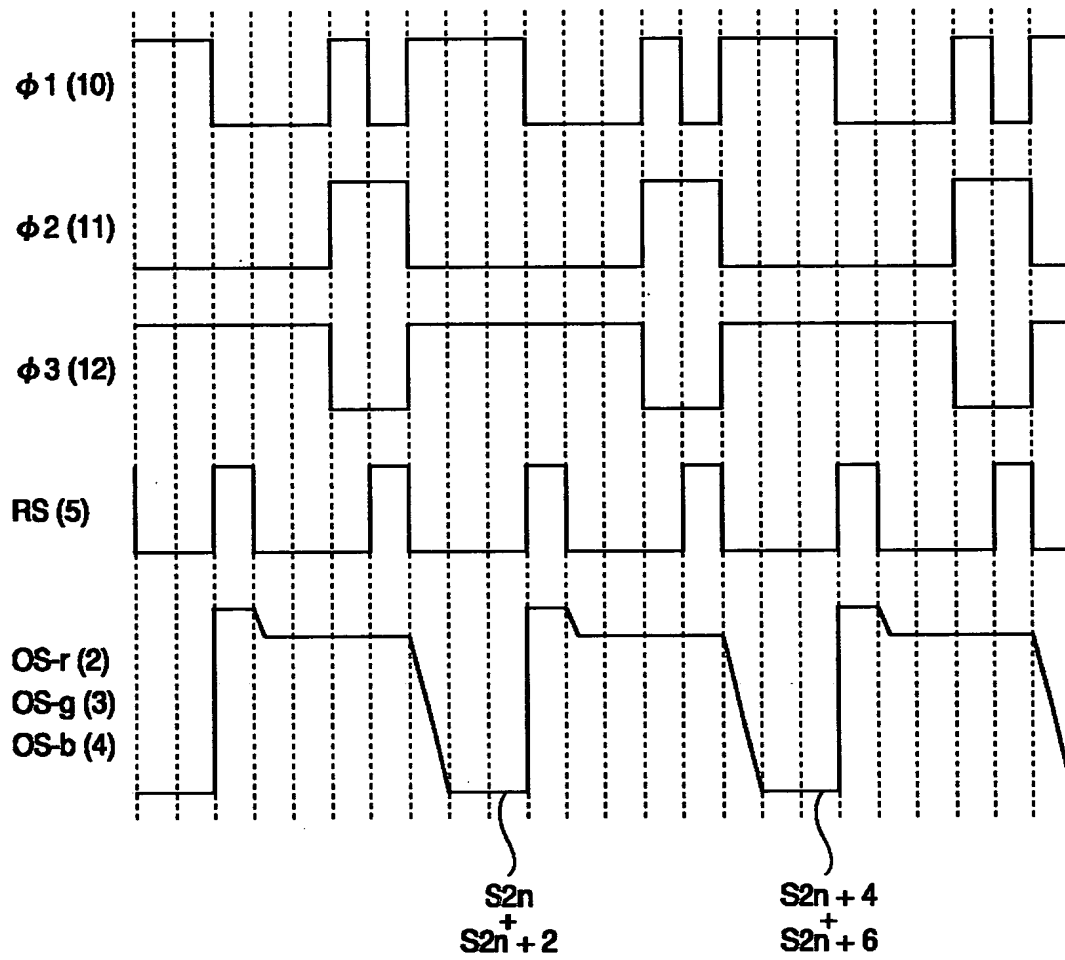
【図 1 0】



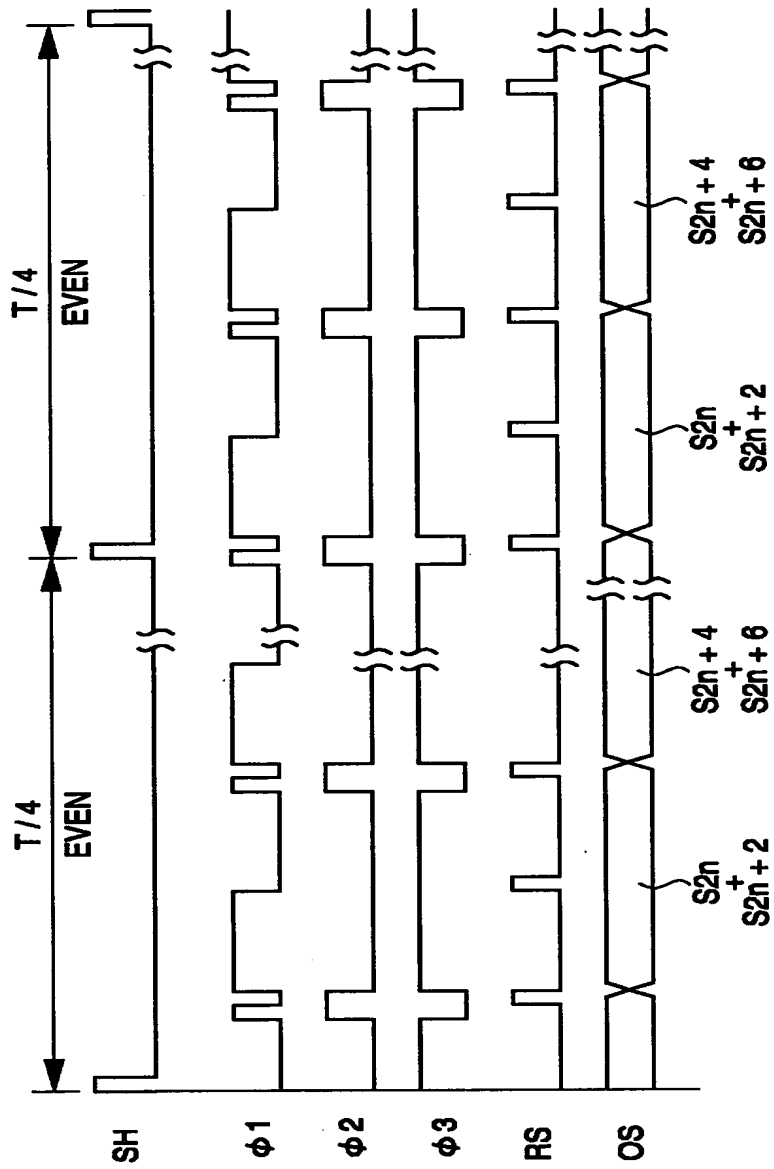
【図 1 1】



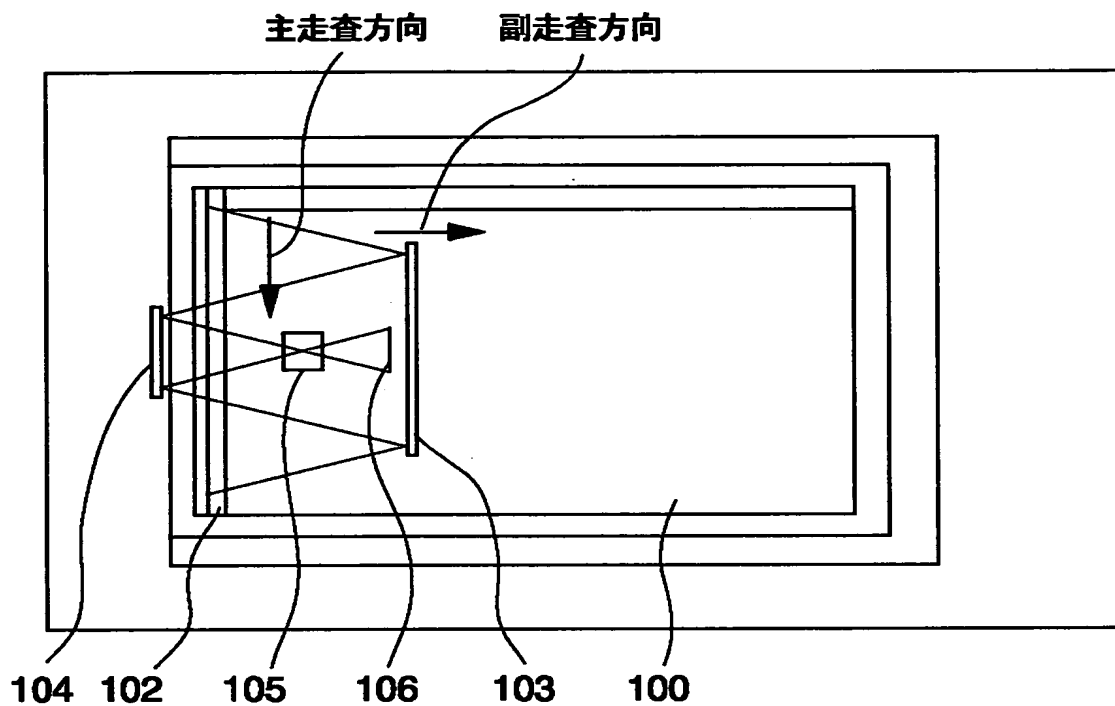
【図 1 2】



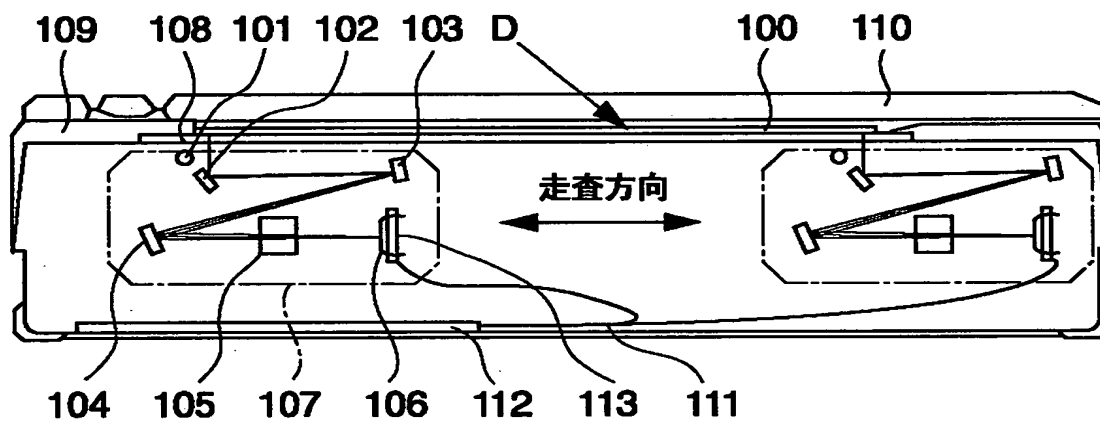
【図13】



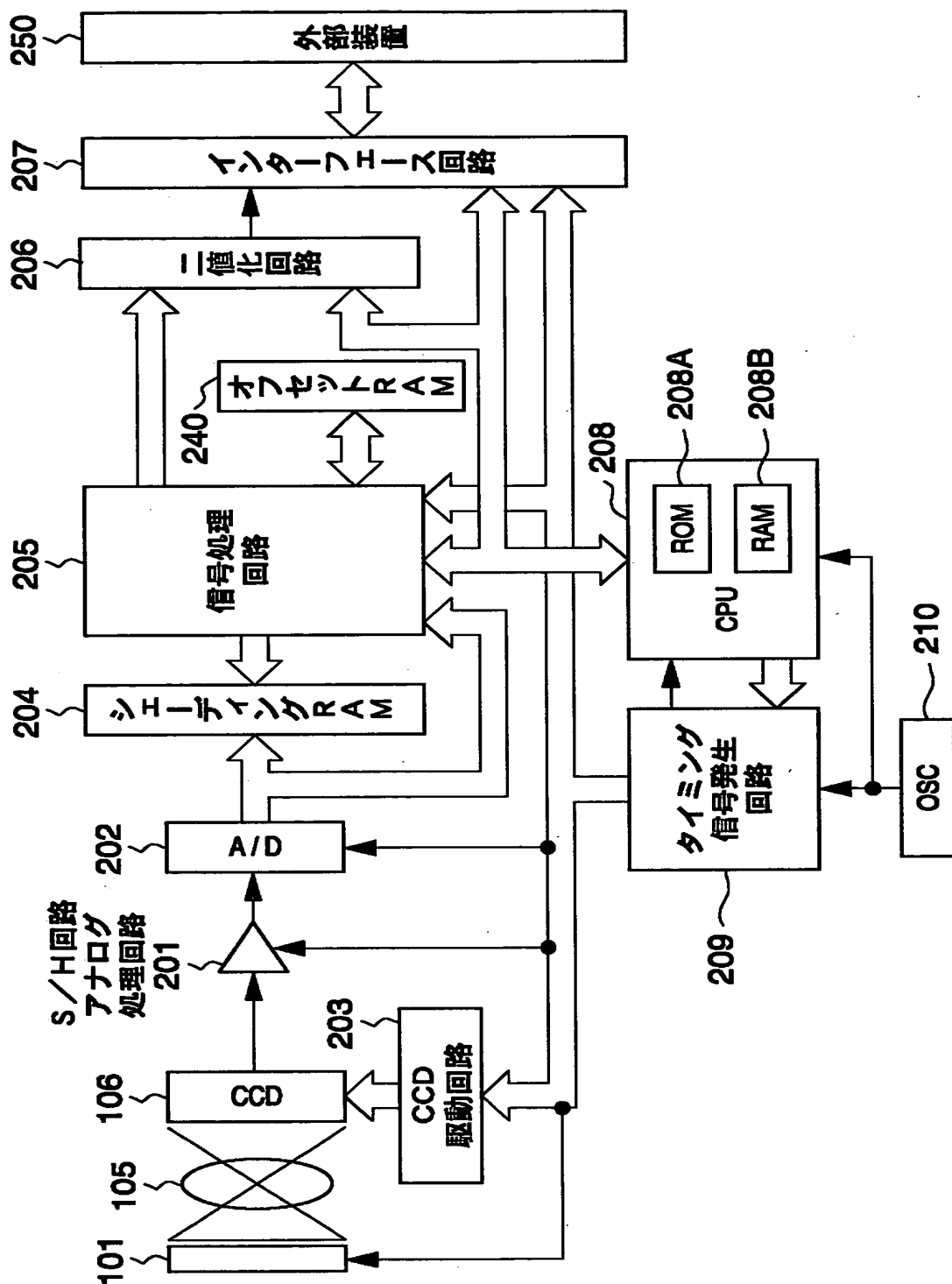
【図 1 4 A】



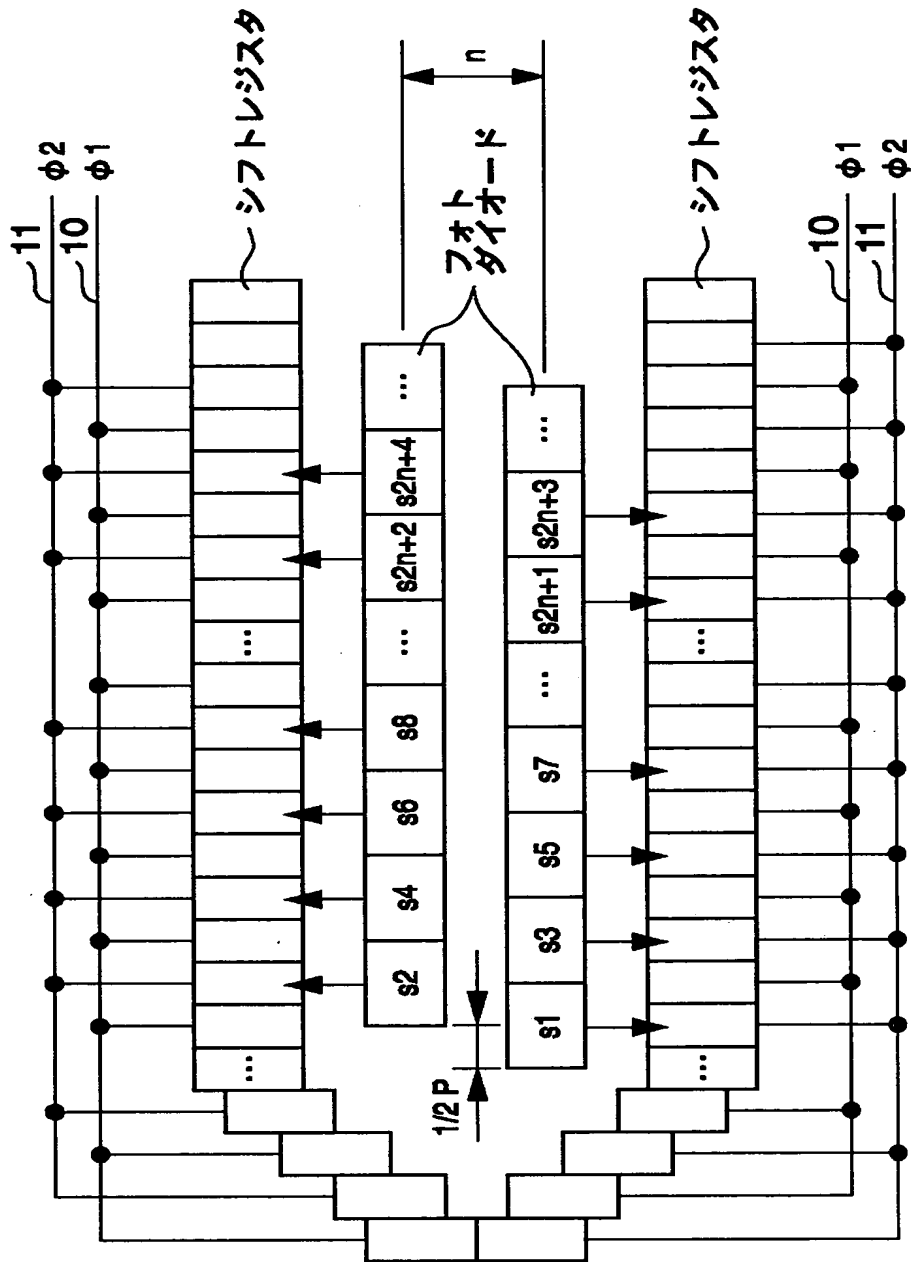
【図 1 4 B】



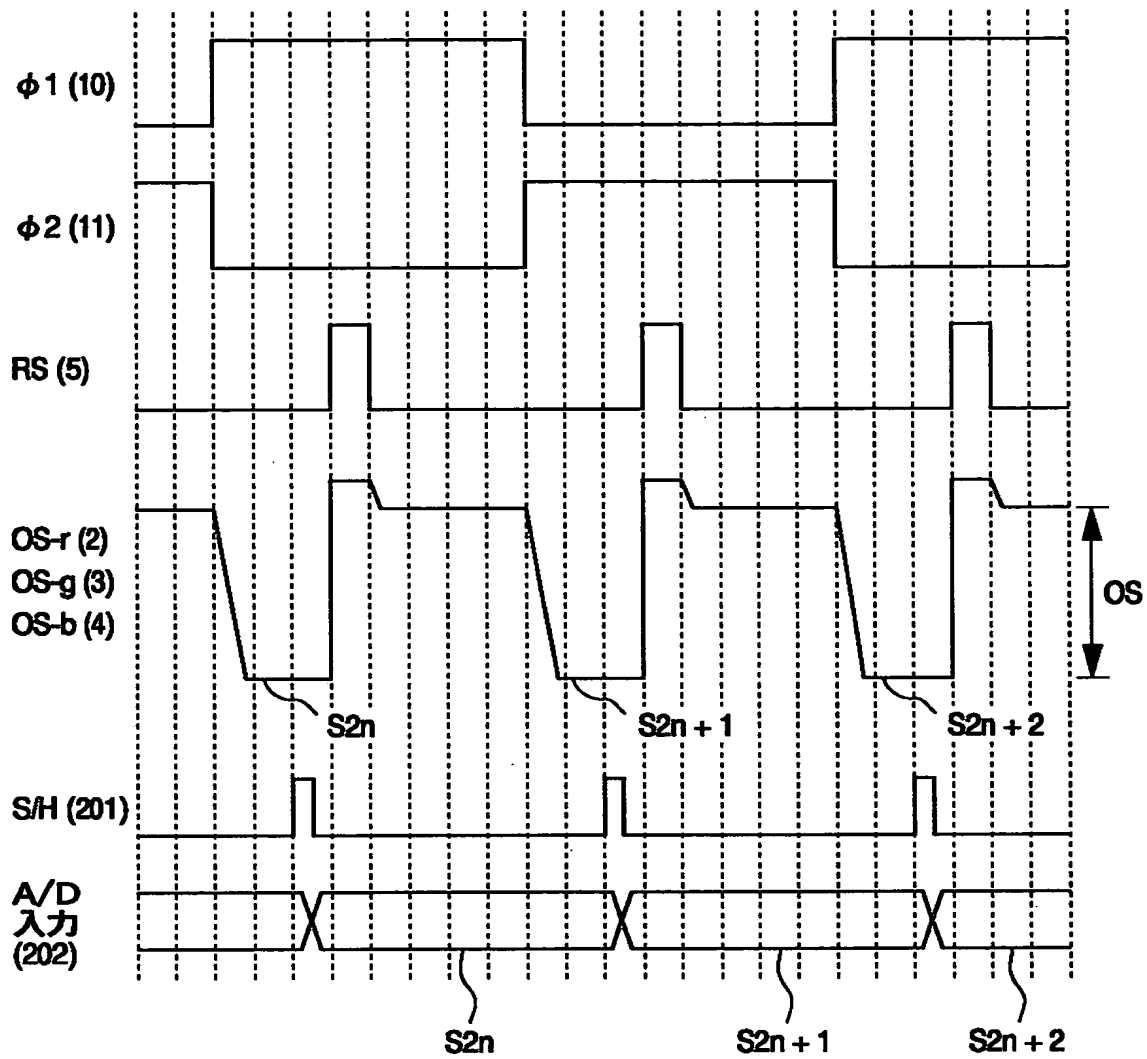
【図15】



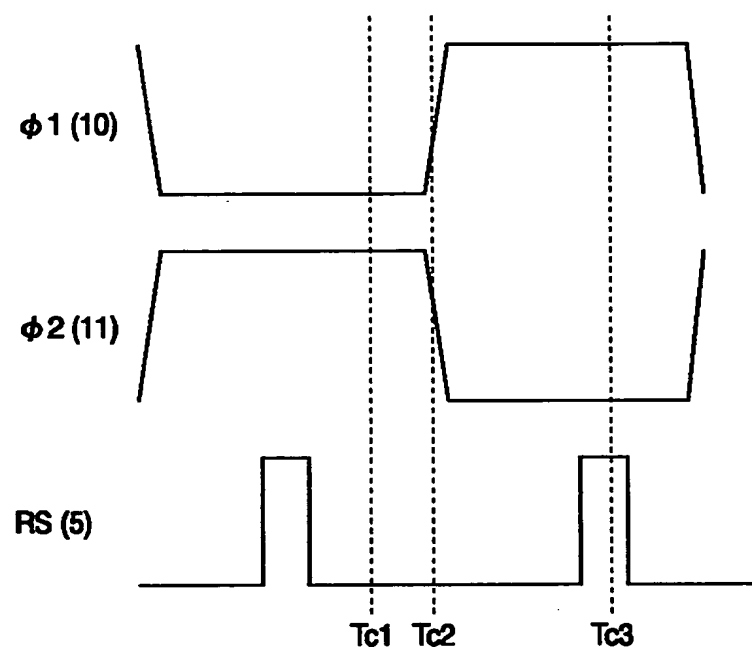
【図17】



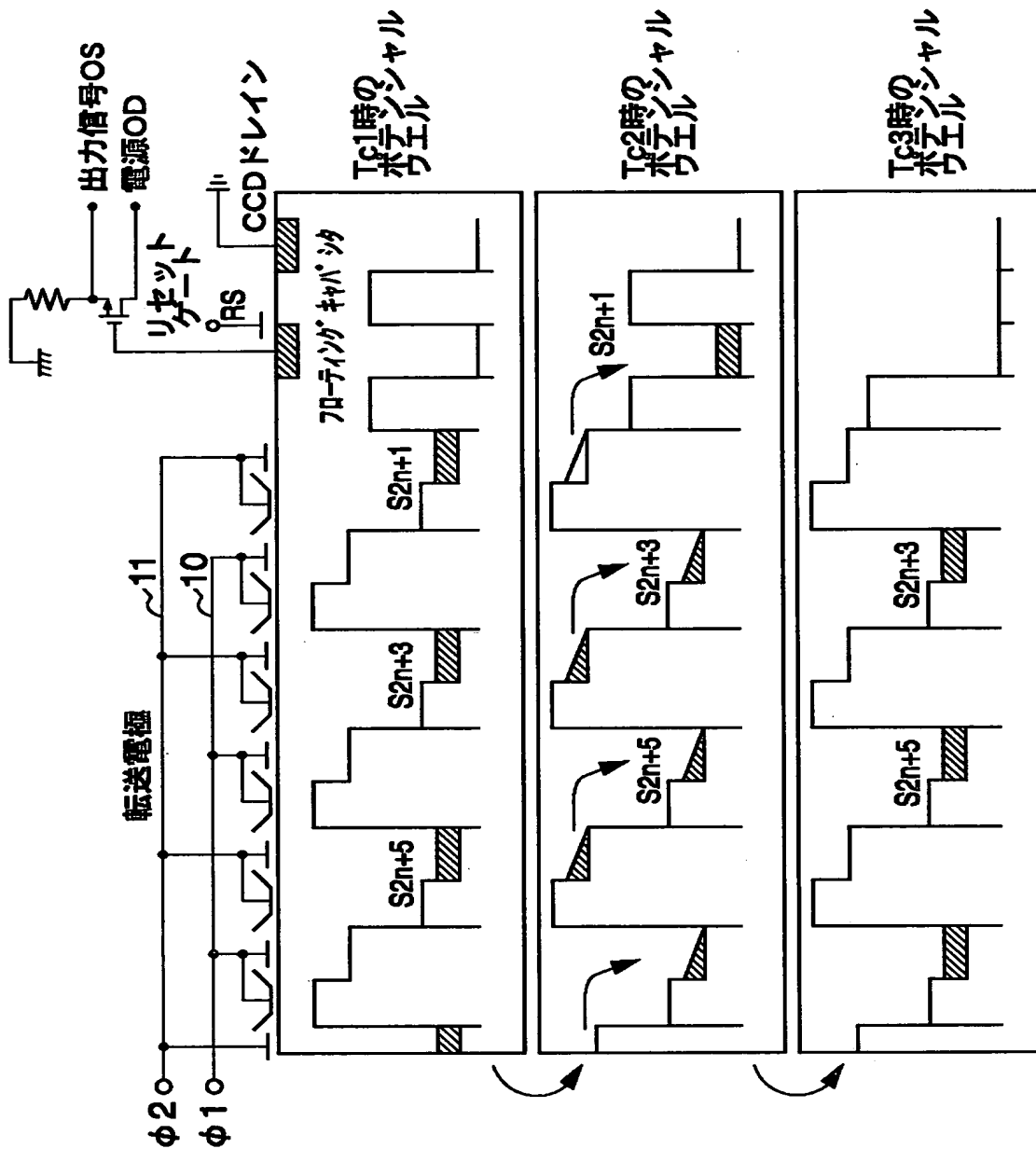
【図 1 8】



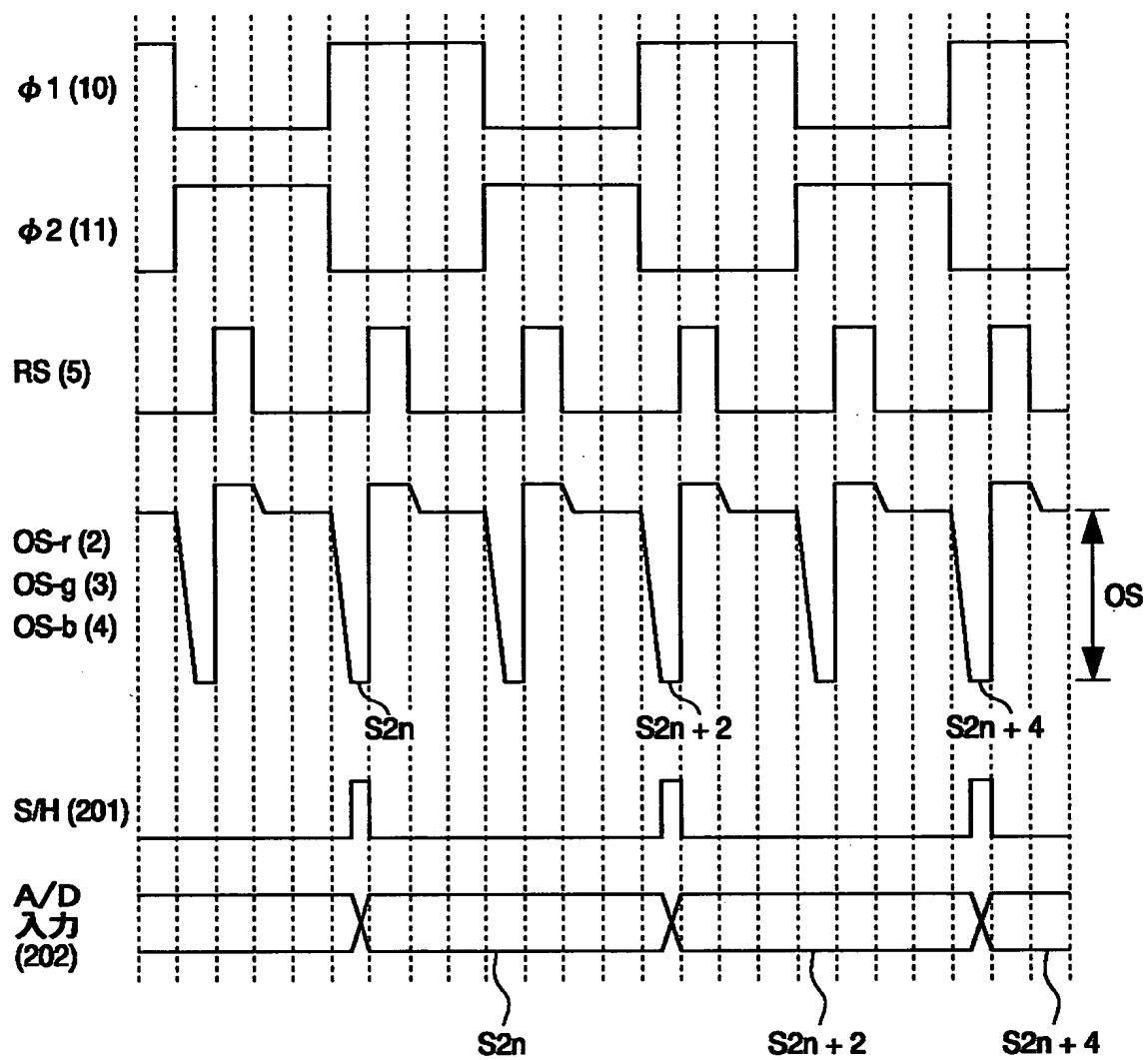
【図 1 9】



【図20】



【図 21】



【書類名】 要約書

【要約】

【課題】 高解像度時と低解像度時の読取蓄積時間のバランスと低解像度時の高速読み取りとを両立させた画像処理装置を提供すること。

【解決手段】 距離 n だけ離して配置したフォトダイオード列の画像データをシフトレジスタに転送し、第 1 の転送クロック $\phi 1$ 、第 2 の転送クロック $\phi 2$ 、第 3 の転送クロック $\phi 3$ によって順次出力バッファにシフトする。この際、転送クロック $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 及びリセットパルス RS について、 $\phi 2$ と $\phi 3$ を同じ周波数で逆の位相になるように駆動し、かつ $\phi 1$ と RS を $\phi 2$ 、 $\phi 3$ の倍の周波数とすることで、偶数素子列中の隣接素子が加算された信号のみを順次出力できる。そして、RAM に対する転送速度はそのまま、転送クロック及びリセットクロックの周波数を 4 倍にすることができ、各ラインの蓄積時間を $1/4$ にすることができる。

【選択図】 図 8

認 定 - 付 加 情 報

特許出願の番号	特願 2 0 0 1 - 1 8 8 2 3 6
受付番号	5 0 1 0 0 9 0 1 2 9 7
書類名	特許願
担当官	清野 貴明 7 6 5 0
作成日	平成 1 3 年 6 月 2 8 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人

【識別番号】	100076428
【住所又は居所】	東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町 パークビル 7 F 大塚国際特許事務所
【氏名又は名称】	大塚 康德

【選任した代理人】

【識別番号】	100112508
【住所又は居所】	東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町 パークビル 7 F 大塚国際特許事務所
【氏名又は名称】	高柳 司郎

【選任した代理人】

【識別番号】	100115071
【住所又は居所】	東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町 パークビル 7 F 大塚国際特許事務所
【氏名又は名称】	大塚 康弘

【選任した代理人】

【識別番号】	100116894
【住所又は居所】	東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町 パークビル 7 F 大塚国際特許事務所
【氏名又は名称】	木村 秀二

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社